



**DEUTSCHES
PATENT- UND
MARKENAMT**

11) Aktenzeichen: 101 21 196.1
12) Anmeldetag: 30. 4. 2001
13) Offenlegungstag: 7. 11. 2002

17) Anmelder:
Infineon Technologies AG, 81689 München, DE

18) Vertreter:
Patent- und Rechtsanwälte Kraus & Weisert, 80539
München

19) Erfinder:
Granig, Wolfgang, Sachsenburg, AT

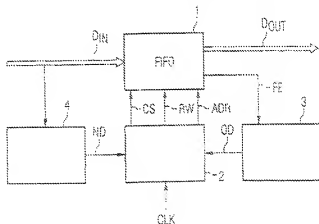
20) Entgegenhaltungen:
US 60 44 416 A
Elektronik, 8/2000, S. 104-109;
JP 3-157890 A mit JP 2-157890 AA;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

21) FIFO-Speichervorrichtung und Verfahren zum Speichern und Auslesen von Daten unter Verwendung eines FIFO-Speichers

22) Zur Entkopplung von zwei unterschiedlichen Datenraten wird häufig ein FIFO-Speicher (1) verwendet, welcher aus Einfachheitsgründen in der Regel ein Dual-Port-SRAM-Speicher ist. Erfindungsgemäß wird als FIFO-Speicher (1) ein Single-Port-SRAM-Speicher verwendet, der mit lediglich einem Taktsignal (CLK) zum Schreiben und Auslesen von Daten auskommt. Das Schreiben von Daten in den FIFO-Speicher (1) erfolgt dabei stets mit einer ersten Anzahl von Takten des Taktsignals (CLK), während das Auslesen von Daten aus dem FIFO-Speicher (1) stets mit einer davon abweichenden bestimmten zweiten Anzahl von Takten des Taktsignals (CLK) erfolgt. So können beispielsweise Daten stets mit lediglich einem Takt geschrieben und stets mit zwei Takten ausgelesen werden. Den Zugriff mit der kürzeren Zugriffszeit, beispielsweise dem Schreibzugriff, wird dabei priorisiert.



[0001] Die vorliegende Erfindung betrifft eine FIFO-Speichervorrichtung mit einem FIFO-Speicher, in den Daten mit einer ersten Datenrate geschrieben und aus dem Daten mit einer zweiten Datenrate ausgelesen werden, wobei das Einschreiben und das Auslesen der Daten unter Verwendung eines gemeinsamen Taktsignals erfolgt (Single-Port-FIFO-Speicher). Des weiteren betrifft die vorliegende Erfindung ein Verfahren zum Speichern und Auslesen von Daten unter Verwendung eines derartigen Single-Port-FIFO-Speichers.

[0002] Bei einer Vielzahl von Anwendungen ist eine Einkopplung von zwei unterschiedlichen Datenraten erforderlich. Dabei wird in der Regel ein FIFO-Speicher ("First In First Out") verwendet, in den Daten mit einer ersten Datenrate geschrieben und aus dem Daten mit einer zweiten Datenrate ausgelesen werden. Häufig handelt es sich dabei um einen sogenannten Dual-Port-FIFO-Speicher.

[0003] Ein Beispiel für einen derartigen Dual-Port-FIFO-Speicher ist in Fig. 3 dargestellt. Wie aus Fig. 3 ersichtlich ist, weist der dargestellte FIFO-Speicher 1 bzw. die dargestellte FIFO-Warteschlange einen ersten Taktschlusss für ein Taktsignal CLK_{in} auf, welches zum Schreiben von Daten in den FIFO-Speicher 1 dient. Darüber hinaus besitzt der FIFO-Speicher 1 einen zweiten Taktschlusss zum Anlegen eines zweiten Taktsignals CLK_{out} , welches zum Auslesen von Daten D_{out} aus dem FIFO-Speicher 1 vorgesehen ist. Da der FIFO-Speicher 1 separate Taktschlüsse zum Schreiben von Daten und zum Auslesen von Daten aufweist, wird der FIFO-Speicher 1 als Dual-Port-FIFO-Speicher bezeichnet.

[0004] Ein mit einer derartigen Dual-Port-FIFO-Speicher verbundenes Problem besteht darin, dass Dual-Port-FIFO-Speicher relativ groß sind und somit eine relativ große Chipfläche benötigen. Zudem müssen zwei unterschiedliche Taktsignale zum Schreiben und Auslesen von Daten bereitgestellt werden. Ist die verwendete Datenrate jedoch entsprechend klein, ist ein derartiger großer Dual-Port-FIFO-Speicher nicht unbedingt erforderlich.

[0005] Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, eine FIFO-Speichervorrichtung sowie ein Verfahren zum Speichern und Auslesen von Daten unter Verwendung eines FIFO-Speichers vorzuschlagen, wobei lediglich ein gemeinsames Taktsignal zum Schreiben von Daten und zum Auslesen von Daten benötigt wird (Single-Port-FIFO-Speicher).

[0006] Diese Aufgabe wird erfindungsgemäß durch eine FIFO-Speichervorrichtung mit den Merkmalen des Anspruchs 1 bzw. ein Verfahren mit den Merkmalen des Anspruchs 11 gelöst. Die Umernsprüche definieren jeweils bevorzugte und vorteilhafte Ausführungsformen der vorliegenden Erfindung.

[0007] Die erfindungsgemäße FIFO-Speicheranordnung verwendet einen Single-Port-FIFO-Speicher, insbesondere in Form eines SRAM-Speichers ("Static Random Access Memory"), mit lediglich einem Taktschlusss ("Port"), wobei ein derartiger Single-Port-FIFO-Speicher um ca. 50% kleiner als ein Dual-Port-FIFO-Speicher ausgestaltet sein kann.

[0008] Zum Betreiben des FIFO-Speichers, d.h. zum Speichern von Daten und zum Auslesen von Daten, wird somit lediglich ein Taktsignal verwendet, wobei zum Schreiben von Daten in den FIFO-Speicher und zum Auslesen von Daten aus dem FIFO-Speicher eine unterschiedliche Anzahl von Takten des Taktsignals verwendet wird, so dass immer eindeutig zwischen einem Schreibzugriff und einem Lesezugriff unterschieden werden kann. Für den Schreibzugriff kann beispielsweise stets ein Takt und für den Lesezugriff

stets zwei Takte (oder umgekehrt) verwendet werden.

[0009] Dem Speicherzugriff mit der kürzeren Zugriffszeit, d.h. bei dem zuvor beschriebenen Beispiel dem Schreibzugriff, wird vorzugsweise eine höhere Priorität zugewiesen, so dass für den Fall, dass gleichzeitig Daten zum Schreiben in den FIFO-Speicher und Daten zum Auslesen aus dem FIFO-Speicher vorliegen, der Schreibzugriff bevorzugt behandelt wird, d.h. bei dem zuvor beschriebenen Beispiel können nur dann Daten aus dem FIFO-Speicher ausgelesen werden, falls ausschließlich keine Daten zum Schreiben in den FIFO-Speicher anliegen.

[0010] Die vorliegende Erfindung kann beispielsweise überall dort eingesetzt werden, wo eine Einkopplung von zwei unterschiedlichen Datenraten gewünscht ist. Ein derartiger Anwendungsfall ist beispielsweise in einem COFDM-Empfänger ("Coded Orthogonal Frequency Division Multiplex") eines Kommunikationsnetzes, wobei beispielsweise ein empfangenes OFDM-Symbol auf ein oder mehrere MPEG-Datenpakete ("Moving Picture Experts Group") abgebildet wird und ein möglichst kontinuierlicher MPEG-Datenstrom für den entsprechenden MPEG-Decoder gewünscht wird und demzufolge eine entsprechende Datenratenanpassung des MPEG-Datenstroms erforderlich ist.

[0011] Die vorliegende Erfindung wird nachfolgend näher anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die beigefügte Zeichnung erläutert.

[0012] Fig. 1 zeigt ein vereinfachtes Blockschaltbild einer FIFO-Speichervorrichtung gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung.

[0013] Fig. 2 zeigt den zeitlichen Verlauf von verschiedenen in Fig. 1 dargestellten Signalen, und

[0014] Fig. 3 zeigt einen Dual-Port-FIFO-Speicher gemäß dem Stand der Technik.

[0015] Die in Fig. 1 gezeigte FIFO-Speichervorrichtung umfasst einen Single-Port-FIFO-Speicher 1, welcher insbesondere in Form eines SRAM-Speichers ausgestaltet sein kann. In diesem FIFO-Speicher 1 werden Daten D_{in} geschrieben und gemäß dem FIFO-Prinzip ("First In First Out") als Auslesedaten D_{out} ausgelesen. Dabei muss insbesondere die Datenrate am Eingang und Ausgang des FIFO-Speichers 1 nicht konstant sein. Die erfindungsgemäße FIFO-Speichervorrichtung ist insbesondere derart ausgestaltet, dass bei Verwendung des Single-Port-FIFO-Speichers 1 eine Einkopplung von zwei unterschiedlichen Datenraten möglich ist.

[0016] Der FIFO-Speicher 1 wird von einer Speichersteuerung 2 gesteuert. Darüber hinaus ist eine Überwachungseinrichtung 3 vorgesehen, welche über ein Signal FE ("FIFO Empty") den augenblicklichen Füllstand des FIFO-Speichers 1 überwacht und davon abhängig mithilfe eines Signals OD ("On Data") der Speichersteuerung 2 mitteilt, ob augenblicklich Daten zum Auslesen aus dem FIFO-Speicher 1 vorhanden sind. Eine weitere Überwachungseinrichtung 4 überwacht den Eingangsdatenstrom D_{in} und erzeugt davon abhängig ein weiteres Signal ND ("New Data"), welches der Speichersteuerung 2 mitteilt, ob augenblicklich neue Daten D_{in} zum Schreiben in den FIFO-Speicher 1 anliegen. Schließlich ist in Fig. 1 auch ein Taktsignal CLK dargestellt, welches sowohl zum Schreiben der Daten D_{in} in den FIFO-Speicher 1 als auch zum Auslesen der Daten D_{out} aus dem FIFO-Speicher 1 verwendet wird.

[0017] Der Schreib-/Lesezugriff auf den FIFO-Speicher 1 wird von der Speichersteuerung 2 im wesentlichen durch ein Steuerungs- und Schreib-/Lese-Signal ADL , welches die jeweilige Schreib- bzw. Leseadresse bezeichnet, gesteuert. Darüber hinaus wird von der Speichersteuerung 2 an den FIFO-Speicher 1 ein weiteres Signal CS ("Chip Select") an-

gelegt, mit dessen Hilfe sichergestellt wird, dass auf den FIFO-Speicher 1 nur dann zugegriffen wird, falls neue Daten zum Schreiben in den FIFO-Speicher 1 vorliegen oder Daten aus dem FIFO-Speicher 1 ausgelesen werden sollen. Mithilfe des Signals CS kann somit der Energieverbrauch minimiert werden, wobei das digitale Signal CS einer logischen ODER-Verknüpfung der beiden digitalen Signale ND und OD entspricht.

[0018] Wie bereits erwähnt worden ist, erfolgt die Ansteuerung des FIFO-Speichers 1 mit lediglich einem Taktsignal CLK. Zur Einkopplung der am Eingang und Ausgang des FIFO-Speichers 1 anliegenden Datenraten sowie zur eindeutigen Unterscheidung eines Schreibzugriffs und eines Lesezugriffs wird für einen Schreibzugriff bzw. für einen Lesezugriff eine unterschiedliche Anzahl von Takten des Taktsignals CLK verwendet, wobei insbesondere dem Zugriff mit der kürzeren Zugriffszeit, d. h. mit der kürzeren Anzahl von Takten des Taktsignals CLK, eine höhere Priorität zugewiesen wird.

[0019] Der Schreib- bzw. Lesezugriff auf den FIFO-Speicher 1 erfolgt stets mit derselben unterschiedlichen Anzahl an Takten. So kann beispielsweise für einen Schreibzugriff stets lediglich ein Takt benötigt werden, während für einen Lesezugriff stets zwei Takte erforderlich sind (oder umgekehrt). Das von der Speichersteuerung 2 an den FIFO-Speicher 1 angelegte digitale Steuersignal RW zeigt durch seinen augenblicklichen Pegel bzw. Wert an, ob ein Schreibzugriff oder ein Lesezugriff erfolgt.

[0020] Der Betrieb der in Fig. 1 gezeigten FIFO-Speichervorrichtung soll nachfolgend näher unter Bezugnahme auf Fig. 2 erläutert werden, wobei wie zuvor beschrieben davon ausgegangen wird, dass für einen Schreibzugriff ein Takt des Taktsignals CLK und für einen Lesezugriff zwei Takte des Taktsignals CLK benötigt werden.

[0021] Wie aus Fig. 2 ersichtlich ist, liegen zu einem Zeitpunkt t_1 neue Daten an dem FIFO-Speicher 1 an, welche in den FIFO-Speicher 1 geschrieben werden sollen. Das von der Überwachungseinrichtung 4 demzufolge erzeugte digitale Signal ND besitzt somit für die Dauer T eines Taktes einen hohen Pegel, so dass von der Speichersteuerung 2 der Schreibzugriff bzw. Schreibbetrieb des FIFO-Speichers 1 aktiviert und das digitale Steuersignal RW auf einen niedrigen logischen Pegel gesetzt wird, welcher dem Schreibzugriff ("W") entspricht. Zudem wird das Signal CS auf einen hohen logischen Pegel gesetzt, wodurch ein Zugriff auf den FIFO-Speicher 1 ermöglicht wird. Wie aus Fig. 2 ersichtlich ist, wird für einen Schreibzugriff lediglich die Dauer T eines Takts benötigt.

[0022] Nach einer bestimmten Zeitspanne erkennt die Überwachungseinrichtung 3, dass Daten am Ausgang des FIFO-Speichers 1 zum Auslesen vorhanden sind und erzeugt demzufolge das Signal OD mit einem hohen Pegel für die Dauer ZT od anzuzeigen, dass Daten am Ausgang des Signals OD zum Auslesen bereitstellen. Während der Zeitspanne t_2-t_1 wird demzufolge das Steuersignal RW auf einen hohen logischen Pegel gesetzt ("R"), um während der Dauer von zwei Takten einen Schreibzugriff durchzuführen. Hierzu ist auch das Signal CS auf einen hohen logischen Pegel gesetzt.

[0023] Zu einem Zeitpunkt t_4 wird analog zu dem Zeitpunkt t_1 ein erneuter Schreibvorgang durchgeführt.

[0024] Zu einem Zeitpunkt t_5 befindet sich sowohl das Signal ND als auch das Signal OD auf einem hohen logischen Pegel, wodurch der Speichersteuerung 2 mitgeteilt wird, dass sowohl Daten zum Schreiben in den FIFO-Speicher 1 als auch Daten zum Auslesen aus dem FIFO-Speicher 1 vorhanden sind. Während sich das Signal ND lediglich für die

Dauer T einer Taktperiode auf dem hohen logischen Pegel befindet, besitzt das Signal OD den hohen logischen Pegel für die Dauer von zwei Taktperioden. Da es sich bei dem Schreibzugriff um den Zugriff mit der kürzeren Zugriffszeit handelt, wird von der Speichersteuerung 2 das Signal RW zunächst auf einen niedrigen logischen Pegel gesetzt, um den Schreibzugriff zu priorisieren, so dass erst anschließend zu einem Zeitpunkt t_6 das Signal RW entsprechend einem Lesezugriff auf einen hohen logischen Pegel gesetzt wird. Zu einem Zeitpunkt t_7 erfolgt analog zu den Zeitpunkten t_1 und t_4 ein erneuter Schreibzugriff, während zu den Zeitpunkten t_6 und t_9 analog zu den Zeitpunkten t_2 und t_5 ein erneuter Lesezugriff erfolgt.

[0026] Aus dem in Fig. 2 gezeigten Verlauf des Signals CS ist ersichtlich, dass dieses Signal nur dann den hohen logischen Pegel besitzt, wenn neue Daten zum Schreiben in den FIFO-Speicher 1 vorhanden sind (d. h. das Signal ND besitzt ebenfalls einen hohen logischen Pegel) oder Daten am Ausgang des FIFO-Speichers 1 zum Auslesen bereit stehen (d. h. das Signal OD besitzt ebenfalls einen hohen logischen Pegel). In allen anderen Fällen besitzt das Signal CS den niedrigen logischen Pegel, wodurch ein Zugriff auf den FIFO-Speicher 1 unterbunden wird.

[0027] Mithilfe des Signals FE kann die Überwachungseinrichtung 3 feststellen, ob ein Leerlauf des FIFO-Speichers 1 stattgefunden hat. Hat die Überwachungseinrichtung 3 erkannt, dass der FIFO-Speicher 1 augenblicklich leer ist, kann durch entsprechendes Setzen des Signals FE auf einen niedrigen logischen Pegel sichergestellt werden, dass kein unnötiger Lesezugriff auf den FIFO-Speicher 1 erfolgt.

Patentansprüche

1. FIFO-Speichervorrichtung,

mit einem FIFO-Speicher (1), in den Daten mit einer ersten Datenrate zu schreiben und aus dem Daten mit einer zweiten Datenrate auszulesen sind, mit einem Taktanschluss zum Zuführen eines Taktsignals (CLK) sowohl für das Schreiben von Daten in den FIFO-Speicher (1) als auch für das Auslesen von Daten aus dem FIFO-Speicher (1), und mit Speicherschnittstellen (2-4) zur Aktivierung eines Schreibbetriebs, um Daten in den FIFO-Speicher (1) zu schreiben, oder zur Aktivierung eines Lesebetriebs, um Daten aus dem FIFO-Speicher (1) auszulesen, wobei die Speicherschnittstellen (2-4) derart ausgestaltet sind, dass sie den Schreibbetrieb stets für eine festgelegte erste Anzahl von Takten des Taktsignals (CLK) und den Lesebetrieb stets für eine davon abweichende festgelegte zweite Anzahl von Takten des Taktsignals (CLK) aktivieren.

2. FIFO-Speichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Speicherschnittstellen (2-4) zur Aktivierung des Schreibbetriebs oder Lesebetriebs ein digitales Steuersignal (RW) für den FIFO-Speicher (1) erzeugen, wobei das digitale Steuersignal (RW) zur Aktivierung des Schreibbetriebs für die Dauer der ersten Anzahl von Takten des Taktsignals (CLK) einen ersten Wert und zur Aktivierung des Lesebetriebs für die Dauer der zweiten Anzahl von Takten des Taktsignals (CLK) einen zweiten Wert annimmt.

3. FIFO-Speichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die erste Anzahl von Takten des Taktsignals (CLK) für den Schreibbetrieb einen Takt und die zweite Anzahl von Takten des Taktsignals (CLK) für den Lesebetrieb zwei Takte umfasst.

4. FIFO-Speichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die erste Anzahl von

Takten des Taktsignals (CLK) für den Schreibbetrieb zwei Takte und die zweite Anzahl von Takten des Taktsignals (CLK) für den Lesebetrieb einen Takt umfasst.

5. FIFO-Speichervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Speichersteuermittel (2-4) derart ausgestaltet sind, dass sie überwachen, ob Daten zum Schreiben in den FIFO-Speicher (1) vorhanden sind, wobei die Speichersteuermittel (2-4) in diesem Fall ein digitales Steuersignal (ND, RW) zur Aktivierung des Schreibetriebs für die erste Anzahl von Takten des Taktsignals (CLK) erzeugen.

6. FIFO-Speichervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Speichersteuermittel (2-4) derart ausgestaltet sind, dass sie überwachen, ob am Ausgang des FIFO-Speichers (1) Daten zum Auslesen aus dem FIFO-Speicher (1) vorhanden sind, wobei die Speichersteuermittel (2-4) in diesem Fall ein digitales Steuersignal (OD, RW) zur Aktivierung des Leseetriebs für die zweite Anzahl von Takten des Taktsignals (CLK) erzeugen.

7. FIFO-Speichervorrichtung nach Anspruch 6, dadurch gekennzeichnet, dass die Speichersteuermittel (2-4) derart ausgestaltet sind, dass sie den Inhalt des FIFO-Speichers (1) überwachen und für den Fall, dass sie einen Leerlauf des FIFO-Speichers (1) feststellen, einen Lesebetrieb des FIFO-Speichers (1) unterbinden.

8. FIFO-Speichervorrichtung nach Anspruch 5 und einem der Ansprüche 6 oder 7, dadurch gekennzeichnet, dass die Speichersteuermittel (2-4) derart ausgestaltet sind,

dass sie für den Fall, dass sowohl Daten zum Schreiben in den FIFO-Speicher (1) als auch Daten zum Auslesen aus dem FIFO-Speicher (1) vorhanden sind, den Schreibetrieb des FIFO-Speichers (1), falls die dem Schreibetrieb zugeordnete erste Anzahl von Takten des Taktsignals (CLK) kleiner als die dem Lesebetrieb zugeordnete zweite Anzahl von Takten des Taktsignals (CLK) ist, und ansonsten den Lesebetrieb des FIFO-Speichers (1) aktivieren.

9. FIFO-Speichervorrichtung nach Anspruch 8, dadurch gekennzeichnet, dass die Speichersteuermittel (2-4) derart ausgestaltet sind,

dass sie für den Fall, dass Daten zum Schreiben in den FIFO-Speicher (1) oder Daten zum Auslesen aus dem FIFO-Speicher (1) vorhanden sind, ein Freigabesignal (CS) zur Ermöglichung eines Zugriffs auf den FIFO-Speicher (1) erzeugen, während ansonsten kein Zugriff auf den FIFO-Speicher (1) möglich ist.

10. FIFO-Speichervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der FIFO-Speicher (1) in Form eines SRAM-Speichers ausgestaltet ist.

11. Verfahren zum Speichern und Auslesen von Daten unter Verwendung eines FIFO-Speichers, wobei unter Verwendung eines gemeinsamen Taktsignals (CLK) Daten mit einer ersten Datenrate in den FIFO-Speicher (1) geschrieben und mit einer zweiten Datenrate aus dem FIFO-Speicher (1) ausgelesen werden, und

wobei zum Schreiben von Daten in den FIFO-Speicher (1) stets eine festgelegte erste Anzahl von Takten des Taktsignals (CLK) und zum Auslesen von Daten aus dem FIFO-Speicher (1) stets eine davon abweichende festgelegte zweite Anzahl von Takten des Taktsignals (CLK) verwendet wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet,

zeichnet,

dass Daten in den FIFO-Speicher (1) stets mit lediglich einem Takt des Taktsignals (CLK) geschrieben werden, und

dass Daten aus dem FIFO-Speicher (1) stets mit zwei Takten des Taktsignals (CLK) ausgelesen werden.

13. Verfahren nach Anspruch 11, dadurch gekennzeichnet,

dass Daten in den FIFO-Speicher (1) stets mit zwei Takten des Taktsignals (CLK) geschrieben werden, und dass Daten aus dem FIFO-Speicher (1) stets mit lediglich einem Takt des Taktsignals (CLK) ausgelesen werden.

14. Verfahren nach einem der Ansprüche 11-13, dadurch gekennzeichnet, dass überwacht wird, ob Daten zum Schreiben in den FIFO-Speicher (1) vorhanden sind,

dass überwacht wird, ob Daten zum Auslesen aus dem FIFO-Speicher (1) vorhanden sind, und

dass für den Fall, dass sowohl Daten zum Schreiben in den FIFO-Speicher (1) als auch Daten zum Auslesen aus dem FIFO-Speicher (1) vorhanden sind, ein Schreibzugriff auf den FIFO-Speicher (1), falls die dem Schreiben von Daten zugeordnete erste Anzahl von Takten des Taktsignals (CLK) kleiner als die dem Auslesen von Daten zugeordnete zweite Anzahl von Takten des Taktsignals (CLK) ist, und ansonsten ein Lesezugriff erfolgt.

15. Verfahren nach einem der Ansprüche 11-14, dadurch gekennzeichnet, dass ein Zugriff auf den FIFO-Speicher (1) nur dann ermöglicht wird, falls Daten zum Schreiben in den FIFO-Speicher (1) oder Daten zum Auslesen aus dem FIFO-Speicher (1) vorhanden sind.

Hierzu 2 Seiten) Zeichnungen

FIG 1

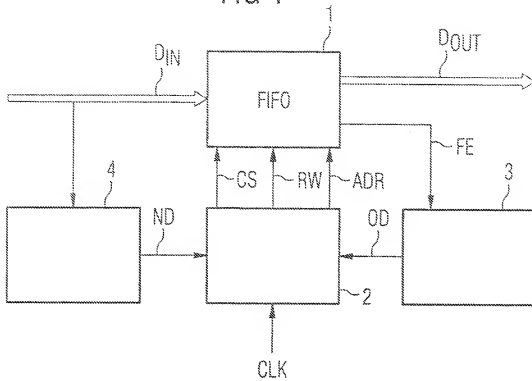


FIG 3

STAND DER TECHNIK

